

Docket No.: 60188-762

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Naoki KURODA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: February 9, 2004	:	Examiner:
	:	
For: SEMICONDUCTOR DEVICE	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

**Japanese Patent Application No. JP 2003-039188, filed on February 18, 2003.**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:gav  
Facsimile: (202) 756-8087  
**Date: February 9, 2004**

60188-76Z

Naoki KURODA, et al.

February 9, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    2 月 1 8 日  
Date of Application:

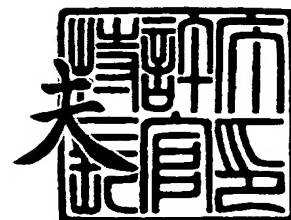
出 願 番 号                      特 願 2 0 0 3 - 0 3 9 1 8 8  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 3 9 1 8 8 ]

出      願      人                      松 下 電 器 産 業 株 式 会 社  
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 5037640152

【提出日】 平成15年 2月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 黒田 直喜

【発明者】

    【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

    【氏名】 白濱 政則

【特許出願人】

    【識別番号】 000005821

    【氏名又は名称】 松下電器産業株式会社

【代理人】

    【識別番号】 100077931

    【弁理士】

    【氏名又は名称】 前田 弘

【選任した代理人】

    【識別番号】 100094134

    【弁理士】

    【氏名又は名称】 小山 廣毅

【選任した代理人】

    【識別番号】 100110939

    【弁理士】

    【氏名又は名称】 竹内 宏

## 【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

## 【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 1つの半導体チップに形成され、それぞれ機能素子を有する第 1 の回路ブロック及び第 2 の回路ブロックと、

前記第 1 の回路ブロックと前記第 2 の回路ブロックとを接続する配線に流れる伝達信号の伝播タイミングを調整するタイミング調整回路ブロックとを備えていることを特徴とする半導体装置。

【請求項 2】 前記第 1 の回路ブロックに入力される入力信号と、前記伝達信号が入力された前記第 2 の回路ブロックからの出力信号とを受け、前記入力信号と前記出力信号とを比較して、前記タイミング調整回路ブロックを制御する比較制御回路をさらに備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記配線は、複数本が並列に配置されており、  
前記第 1 の回路ブロック及び第 2 の回路ブロックは、それぞれ、前記複数の配線と接続されるシフトレジスタを有していることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記比較制御回路は、  
前記入力信号と前記出力信号とが論理演算された論理値を比較し、比較結果を出力する比較回路を有していることを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 5】 前記第 1 の回路ブロックに前記入力信号を生成して出力する入力パターン生成回路をさらに備えていることを特徴とする請求項 1 ～ 4 のうちのいずれか 1 項に記載の半導体装置。

【請求項 6】 前記タイミング調整回路ブロックは、  
前記伝達信号の伝播タイミングを更新した更新情報を保持する第 1 の保持回路を有していることを特徴とする請求項 1 ～ 6 のうちのいずれか 1 項に記載の半導体装置。

【請求項 7】 前記第 1 の保持回路は、少なくとも 1 つのヒューズ素子からなることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】 前記タイミング調整回路ブロックは、前記伝達信号の伝播タイミングを更新した更新情報を保持する第 2 の保持回路を有し、

前記第 2 の保持回路は、前記更新情報をパラレルシリアル変換して出力することを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】 前記タイミング調整回路ブロックの前記伝達信号に対する伝播タイミングの調整は、前記入力信号と前記出力信号とが一致するまで繰り返されることを特徴とする請求項 2 ～ 8 のうちのいずれか 1 項に記載の半導体装置。

【請求項 10】 前記タイミング調整回路ブロックは、  
前記配線を流れる伝達信号のすべてに対して伝播タイミングの調整が終了したことを通知する調整終了通知信号を出力する回路を有し、

伝播タイミングの調整は、前記入力信号と前記出力信号とが一致するか、又は前記調整終了通知が出力されることにより終了することを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】 前記比較制御回路は、  
前記入力信号と前記出力信号との比較結果が不一致である場合に、前記タイミング調整回路に対してタイミング調整制御信号を出力する制御回路を有しており、

前記タイミング調整回路ブロックは、

前記タイミング調整制御信号を受け、受けたタイミング調整制御信号の信号数をカウントし、該信号数を電氣的に保持するカウンタ回路と、

少なくとも 1 つの遅延素子を有し、前記タイミング調整制御信号の信号数に応じた遅延量を前記伝達信号に付加する遅延素子ブロックと、

少なくとも 1 つのヒューズ素子を有すると共に、前記タイミング調整制御信号の信号数をヒューズ素子の溶断数と対応して保持し、前記カウンタ回路と同等の情報を保持可能なヒューズ回路とにより構成され、

前記カウンタ回路及びヒューズ回路からの出力信号は、そのうちのいずれか一方が前記遅延素子ブロックに対して選択的に入力され、

前記ヒューズ素子は、前記カウンタ回路からの出力信号に基づいて溶断されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 12】 前記カウンタ回路及びヒューズ回路からの出力信号のうちの一方を選択するスイッチ制御信号を生成して出力し、ヒューズ素子を有する切替回路をさらに備えていることを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 前記伝達信号に対する伝播タイミングの検査結果が良である場合に、前記カウンタ回路が出力する出力信号から前記ヒューズ回路が出力する出力信号に切り替えられることを特徴とする請求項 11 に記載の半導体装置。

【請求項 14】 通常動作時には、前記カウンタ回路の出力状態がハイインピーダンスとなる一方、検査時には、前記ヒューズ回路の出力状態がハイインピーダンスとなることを特徴とする請求項 11 に記載の半導体装置。

【請求項 15】 前記配線は、複数本が並列に配置されており、  
前記カウンタ回路及びヒューズ回路は、前記複数の配線を流れる伝達信号における各タイミング調整制御信号を共有することを特徴とする請求項 11 に記載の半導体装置。

【請求項 16】 前記タイミング調整回路ブロックは、  
前記伝達信号の伝播タイミングを決定するクロック信号の伝播タイミングをも調整可能であることを特徴とする請求項 11 に記載の半導体装置。

【請求項 17】 前記クロック信号に対する伝播タイミングの調整は、前記伝達信号に対する伝播タイミングの調整に成功を得られない場合に行なわれることを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】 前記クロック信号の伝播タイミングが調整されるたびに、前記カウンタ回路はリセットされることを特徴とする請求項 16 又は 17 に記載の半導体装置。

【請求項 19】 前記タイミング調整回路ブロックは、  
前記カウンタ回路からの出力信号を受け、前記伝達信号の伝播タイミングの調整が成功か否かを判定し、その判定が成功である場合にタイミング検査を終了する終了信号を出力する判定回路を有していることを特徴とする請求項 17 に記載の半導体装置。

【請求項 20】 前記終了信号は、前記判定回路に所定値を超える信号数が入力されたときに出力されることを特徴とする請求項 19 に記載の半導体装置。



【請求項 2 1】 前記タイミング調整回路ブロックは、

前記伝達信号の伝播タイミングを決定するクロック信号に基づいて、前記伝達信号の伝播タイミングを判定するためのパルス信号を生成して出力するパルス信号生成回路と、

少なくとも 1 つの遅延素子を有し、前記伝達信号に遅延を付加する遅延素子ブロックと、

少なくとも 1 つのヒューズ素子を有すると共に、該ヒューズ素子が前記パルス信号と前記遅延素子ブロックを通過した伝達信号とに基づいて溶断されるヒューズ回路とにより構成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 2 2】 前記パルス信号は、前記伝達信号の前記クロック信号に対するセットアップ期間及びホールド期間のうちの少なくとも一方を含む信号確定期間を包含する信号であることを特徴とする請求項 2 1 に記載の半導体装置。

【請求項 2 3】 前記パルス信号は、外部からの信号により、前記セットアップ期間及びホールド期間の少なくとも一方を選択できることを特徴とする請求項 2 2 に記載の半導体装置。

【請求項 2 4】 前記パルス信号生成回路は、前記クロック信号と前記伝達信号との論理演算により生成されることを特徴とする請求項 2 1 に記載の半導体装置。

【請求項 2 5】 前記パルス信号は外部に出力されることを特徴とする請求項 2 4 に記載の半導体装置。

【請求項 2 6】 前記伝達信号に対する伝播タイミングの調整は、該調整が終了するまで繰り返して行なわれることを特徴とする請求項 2 1 に記載の半導体装置。

【請求項 2 7】 前記第 1 の回路ブロックに前記入力信号を生成して出力する入力パターン生成回路をさらに備え、

前記入力パターン生成回路は、前記比較制御回路からの比較結果が不一致である場合に活性化されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 2 8】 前記第 1 の保持回路は、不揮発性メモリ回路であることを特徴とする請求項 6 に記載の半導体装置。

【請求項 29】 前記タイミング調整回路ブロックは、前記伝達信号の伝播タイミングを更新した更新情報を保持する第2の保持回路を有し、

前記更新情報は、伝播タイミングの検査の終了後に前記第2の保持回路から前記不揮発性メモリ回路に書き込まれることを特徴とする請求項28に記載の半導体装置。

【請求項 30】 前記不揮発性メモリ回路に電源電圧を供給する内部電源回路をさらに備えていることを特徴とする請求項28又は29に記載の半導体装置。

【請求項 31】 前記不揮発性メモリ回路は、外部から電源電圧が供給されることを特徴とする請求項28又は29に記載の半導体装置。

【請求項 32】 前記比較制御回路は、  
前記入力信号と前記出力信号との比較結果が不一致である場合に、前記タイミング調整回路に対してタイミング調整制御信号を出力する制御回路を有しており、  
前記タイミング調整回路ブロックは、  
前記タイミング調整制御信号を受け、受けたタイミング調整制御信号の信号数をカウントし、該信号数を電氣的に保持するカウンタ回路と、  
少なくとも1つの遅延素子を有し、前記タイミング調整制御信号の信号数に応じた遅延量を前記伝達信号に付加する遅延素子ブロックと、  
前記カウンタ回路と同等の機能を有する不揮発性メモリ回路とにより構成され、  
前記カウンタ回路及び不揮発性メモリ回路からの出力信号は、そのうちのいずれか一方が前記遅延素子ブロックに選択的に入力され、  
前記不揮発性メモリ回路は、前記カウンタ回路からの出力信号に基づいて前記信号数が書き込まれることを特徴とする請求項2に記載の半導体装置。

【請求項 33】 前記カウンタ回路からの出力値が変わるたびに、前記不揮発性メモリ回路に前記出力値を書き込むことを特徴とする請求項32に記載の半導体装置。

【請求項 34】 前記不揮発性メモリ回路は、前記伝達信号の伝播タイミン

グの検査中にのみ書き込まれることを特徴とする請求項 33 に記載の半導体装置。

【請求項 35】 前記不揮発性メモリ回路は、前記伝達信号の伝播タイミングの検査後に前記遅延素子ブロックと接続されることを特徴とする請求項 32 に記載の半導体装置。

【請求項 36】 前記第 1 の回路ブロック及び第 2 の回路ブロックのうちの一方はメモリ回路ブロックであることを特徴とする請求項 1～35 のうちのいずれか 1 項に記載の半導体装置。

【請求項 37】 前記伝達信号の伝播タイミングを決定するクロック信号の伝搬タイミングを変更するのに同期して、前記メモリ回路ブロックからの出力信号の出力タイミングをも変更する出力タイミング変更回路をさらに備えていることを特徴とする請求項 36 に記載の半導体装置。

【請求項 38】 前記出力タイミング変更回路は、前記メモリ回路ブロックの内部に形成されていることを特徴とする請求項 37 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、1つのチップに形成され且つ機能が互いに異なる複数の回路ブロックを有する半導体装置に関する。

【0002】

【従来の技術】

近年、システム性能の向上を目的として、1つのチップ上に論理回路及びメモリ回路を混載したシステム LSI の開発が盛んに行なわれている。

【0003】

チップ上に形成される論理回路及びメモリ回路の回路同士を接続する配線は、レイアウト設計工程においては、各回路のチップ上におけるフロアプランの決定から始まり、さまざまな配置配線ツールを用いることにより、配線幅及び配線長のばらつきやクロストークによる信号のずれによる動作不良をできるだけ生じないような工夫がなされている。

## 【0004】

また、図16に示すように、チップの検査工程においては、チップ100上に形成された第1の回路ブロック101と第2の回路ブロック102との間の配線の接続を、外部からの入力信号INと外部への出力信号OUTとを比較することによって、回路ブロック101、102同士の配線の接続検査を行ったり、図示はしていないが、配線を伝達する信号の遅延時間を測定する手段が提案され、信号配線による動作不良が起こらないようにしている（例えば、特許文献1参照。）。）。。

## 【0005】

## 【特許文献1】

特開平2000-155157号公報

## 【0006】

## 【発明が解決しようとする課題】

しかしながら、前記従来の半導体装置は、近年の高性能化された回路ブロック間の信号伝達による動作不良には対応できないという問題がある。すなわち、高性能化に伴う多種多様な機能ブロックを1チップに混載することによりチップ面積が増大すると共に動作周波数が上昇し、その結果、配線長の増大と各配線長の微小なばらつきとが、動作マージンの減少により無視できなくなっている。

## 【0007】

その上、チップ内における電源の電圧降下等の新たな要因により回路の動作マージンが減少することにより、チップ設計における回路ブロック間の信号のタイミング調整がより困難となってきた。

## 【0008】

また、前記従来の半導体装置に対する検査又は評価は、信号の伝播タイミングによる動作不良を判定することはできても、不良箇所を特定する手段がなく、また、修正箇所を特定することができたとしても、マスクの変更を余儀なくされ、開発期間の短縮及び開発コストの削減を実現するのが困難であるという問題がある。

## 【0009】

本発明は、従来の問題を解決し、チップの検査後にマスクを変更することなく、回路ブロック間の信号配線による動作マージンの不足及び動作不良を改善できるようにすることを目的とする。

#### 【0010】

##### 【課題を解決するための手段】

前記の目的を達成するため、本発明は、半導体装置における互いに配線により接続された一の回路ブロックと他の回路ブロックとの間に、配線を流れる信号の伝播タイミングを調整するタイミング調整回路ブロックを設ける構成とする。

#### 【0011】

具体的に、本発明に係る半導体装置は、1つの半導体チップに形成され、それぞれ機能素子を有する第1の回路ブロック及び第2の回路ブロックと、第1の回路ブロックと第2の回路ブロックとを接続する配線に流れる伝達信号の伝播タイミングを調整するタイミング調整回路ブロックとを備えている。

#### 【0012】

本発明の半導体装置によると、第1の回路ブロックと第2の回路ブロックとを接続する配線に流れる伝達信号の伝播タイミングを調整するタイミング調整回路ブロックを備えているため、回路ブロック間の伝達信号の伝播タイミングをマスクを変更することなく調整できるので、チップの歩留まりが向上し、且つ開発コストの削減及び開発期間の短縮を図ることができる。

#### 【0013】

本発明の半導体装置は、第1の回路ブロックに入力される入力信号と、伝達信号が入力された第2の回路ブロックからの出力信号とを受け、入力信号と出力信号とを比較して、タイミング調整回路ブロックを制御する比較制御回路をさらに備えていることが好ましい。

#### 【0014】

本発明の半導体装置において、配線は複数本が並列に配置されており、第1の回路ブロック及び第2の回路ブロックは、それぞれ、複数の配線と接続されるシフトレジスタを有していることが好ましい。

#### 【0015】

本発明の半導体装置において、比較制御回路は、入力信号と出力信号とが論理演算された論理値を比較し、比較結果を出力する比較回路を有していることが好ましい。

#### 【0016】

本発明の半導体装置は、第1の回路ブロックに入力信号を生成して出力する入力パターン生成回路をさらに備えていることが好ましい。このようにすると、第1の回路ブロック及び第2の回路ブロック間における伝達信号の伝播タイミングの検査を容易に行なえるようになるため、タイミング検査を短期間で行なうことができる。

#### 【0017】

本発明の半導体装置において、タイミング調整回路ブロックは、伝達信号の伝播タイミングを更新した更新情報を保持する第1の保持回路を有している。

#### 【0018】

この場合に、第1の保持回路は、少なくとも1つのヒューズ素子からなることが好ましい。このようにすると、伝達信号における伝播タイミングの調整を効率良く行なうことができる。

#### 【0019】

また、この場合に、タイミング調整回路ブロックは、伝達信号の伝播タイミングを更新した更新情報を保持する第2の保持回路を有し、第2の保持回路は、更新情報をパラレルシリアル変換して出力することが好ましい。

#### 【0020】

配線が複数本を並列に配置する場合に、タイミング調整回路ブロックの伝達信号に対する伝播タイミングの調整は、入力信号と出力信号とが一致するまで繰り返されることが好ましい。

#### 【0021】

この場合に、タイミング調整回路ブロックは、配線を流れる伝達信号のすべてに対して伝播タイミングの調整が終了したことを通知する調整終了通知信号を出力する回路を有し、伝播タイミングの調整は、入力信号と出力信号とが一致するか、又は調整終了通知が出力されることにより終了することが好ましい。

**【 0 0 2 2 】**

本発明の半導体装置が比較制御回路を備えている場合に、該比較制御回路は、入力信号と出力信号との比較結果が不一致である場合に、タイミング調整回路に対してタイミング調整制御信号を出力する制御回路を有しており、タイミング調整回路ブロックは、タイミング調整制御信号を受け、受けたタイミング調整制御信号の信号数をカウントし、該信号数を電氣的に保持するカウンタ回路と、少なくとも 1 つの遅延素子を有し、タイミング調整制御信号の信号数に応じた遅延量を伝達信号に付加する遅延素子ブロックと、少なくとも 1 つのヒューズ素子を有すると共に、タイミング調整制御信号の信号数をヒューズ素子の溶断数と対応して保持し、カウンタ回路と同等の情報を保持可能なヒューズ回路とにより構成され、カウンタ回路及びヒューズ回路からの出力信号は、そのうちのいずれか一方が遅延素子ブロックに対して選択的に入力され、ヒューズ素子はカウンタ回路からの出力信号に基づいて溶断されることが好ましい。

**【 0 0 2 3 】**

この場合に、本発明の半導体装置は、カウンタ回路及びヒューズ回路からの出力信号のうち的一方を選択するスイッチ制御信号を生成して出力し、ヒューズ素子を有する切替回路をさらに備えていることが好ましい。

**【 0 0 2 4 】**

また、この場合に、伝達信号に対する伝播タイミングの検査結果が良である場合に、カウンタ回路が出力する出力信号からヒューズ回路が出力する出力信号に切り替えられることが好ましい。

**【 0 0 2 5 】**

また、この場合に、通常動作時には、カウンタ回路の出力状態がハイインピーダンスとなる一方、検査時には、ヒューズ回路の出力状態がハイインピーダンスとなることが好ましい。

**【 0 0 2 6 】**

また、この場合に、配線は複数本が並列に配置されており、カウンタ回路及びヒューズ回路は、複数の配線を通る伝達信号における各タイミング調整制御信号を共有することが好ましい。このようにすると、回路ブロック間を通るパラ

レルの伝達信号のうち1つでもタイミング調整に失敗した場合にはすべての伝達信号に対して一括に調整することができるため、各信号線に対して個別に調整する構成と比べて回路構成を簡単化することができるので、チップ面積を縮小することができる。

#### 【0027】

また、この場合に、タイミング調整回路ブロックは、伝達信号の伝播タイミングを決定するクロック信号の伝播タイミングをも調整可能であることが好ましい。

#### 【0028】

この場合に、クロック信号に対する伝播タイミングの調整は、伝達信号に対する伝播タイミングの調整に成功を得られない場合に行なわれることが好ましい。このようにすると、各伝達信号の伝播タイミングの基準となるクロック信号の信号周期を固定したままで、伝達信号の伝播タイミングを調整し、それでもタイミング調整が失敗した場合には、さらにクロック信号のタイミングを調整することにより、より高精度なタイミング調整が可能となるため、動作不良を救済できる可能性が増大する。

#### 【0029】

さらにこの場合に、クロック信号の伝播タイミングが調整されるたびに、カウンタ回路はリセットされることが好ましい。

#### 【0030】

また、この場合に、タイミング調整回路ブロックは、カウンタ回路からの出力信号を受け、伝達信号の伝播タイミングの調整が成功か否かを判定し、その判定が成功である場合にタイミング検査を終了する終了信号を出力する判定回路を有していることが好ましい。

#### 【0031】

この場合に、終了信号は、判定回路に所定値を超える信号数が入力されたときに出力されることが好ましい。

#### 【0032】

本発明の半導体装置において、タイミング調整回路ブロックは、伝達信号の伝



播タイミングを決定するクロック信号に基づいて、伝達信号の伝播タイミングを判定するためのパルス信号を生成して出力するパルス信号生成回路と、少なくとも1つの遅延素子を有し、伝達信号に遅延を付加する遅延素子ブロックと、少なくとも1つのヒューズ素子を有すると共に、該複数のヒューズ素子がパルス信号と遅延素子ブロックを通過した伝達信号とに基づいて溶断されるヒューズ回路とにより構成されていることが好ましい。

#### 【0033】

このようにすると、伝達信号の伝播タイミングを決定する基準となるクロック信号と他の信号とのタイミングのずれの時間を測定し、測定した結果に基づいてタイミング調整に相当するヒューズ素子を溶断することにより、タイミング調整回路の回路規模を削減でき、且つ伝播タイミングのずれ時間を確実に測定することができる。

#### 【0034】

この場合のパルス信号は、伝達信号のクロック信号に対するセットアップ期間及びホールド期間のうちの少なくとも一方を含む信号確定期間を包含する信号であることが好ましい。

#### 【0035】

この場合に、パルス信号は、外部からの信号により、セットアップ期間及びホールド期間の少なくとも一方を選択できることが好ましい。

#### 【0036】

この場合のパルス信号生成回路は、クロック信号と伝達信号との論理演算により生成されることが好ましい。

#### 【0037】

この場合に、パルス信号は外部に出力されることが好ましい。

#### 【0038】

また、伝達信号に対する伝播タイミングの調整は、該調整が終了するまで繰り返して行なわれることが好ましい。

#### 【0039】

本発明の半導体装置が比較制御回路を備えている場合に、第1の回路ブロック

に入力信号を生成して出力する入力パターン生成回路をさらに備え、入力パターン生成回路は、比較制御回路からの比較結果が不一致である場合に活性化されることが好ましい。このようにすると、比較結果が一致した場合には、伝播タイミングの調整が自動的に終了するため、タイミング検査を極めて容易に行なうことができる。

#### 【0040】

本発明の半導体装置が第1の保持回路を有している場合に、該第1の保持回路は、不揮発性メモリ回路であることが好ましい。このようにすると、タイミング調整情報を恒久的に保持できるばかりでなく、タイミング検査した後に何度でもタイミング調整を行なうことができる。

#### 【0041】

この場合に、タイミング調整回路ブロックは、伝達信号の伝播タイミングを更新した更新情報を保持する第2の保持回路を有し、更新情報は、伝播タイミングの検査の終了後に第2の保持回路から不揮発性メモリ回路に書き込まれることが好ましい。

#### 【0042】

この場合に、本発明の半導体装置は、不揮発性メモリ回路に電源電圧を供給する内部電源回路をさらに備えていることが好ましい。

#### 【0043】

この場合に、不揮発性メモリ回路は外部から電源電圧が供給されることが好ましい。

#### 【0044】

また、本発明の半導体装置が比較制御回路を備えている場合に、該比較制御回路は、入力信号と出力信号との比較結果が不一致である場合に、タイミング調整回路に対してタイミング調整制御信号を出力する制御回路を有しており、タイミング調整回路ブロックは、タイミング調整制御信号を受け、受けたタイミング調整制御信号の信号数をカウントし、該信号数を電氣的に保持するカウンタ回路と、少なくとも1つの遅延素子を有し、タイミング調整制御信号の信号数に応じた遅延量を伝達信号に付加する遅延素子ブロックと、カウンタ回路と同等の機能を

有する不揮発性メモリ回路とにより構成され、カウンタ回路及び不揮発性メモリ回路からの出力信号は、そのうちのいずれか一方が遅延素子ブロックに選択的に入力され、不揮発性メモリ回路は、カウンタ回路からの出力信号に基づいて信号数が書き込まれることが好ましい。

**【0045】**

この場合に、カウンタ回路からの出力値が変わるたびに、不揮発性メモリ回路に出力値を書き込むことが好ましい。

**【0046】**

さらに、この場合に、不揮発性メモリ回路は、伝達信号の伝播タイミングの検査中にのみ書き込まれることが好ましい。

**【0047】**

また、不揮発性メモリ回路は、伝達信号の伝播タイミングの検査後に遅延素子ブロックと接続されることが好ましい。

**【0048】**

本発明の半導体装置において、第1の回路ブロック及び第2の回路ブロックのうちの一方はメモリ回路ブロックであることが好ましい。

**【0049】**

この場合に、本発明の半導体装置は、伝達信号の伝播タイミングを決定するクロック信号の伝播タイミングを変更するのに同期して、メモリ回路ブロックからの出力信号の出力タイミングをも変更する出力タイミング変更回路をさらに備えていることが好ましい。このようにすると、メモリ回路ブロックに対するアクセス時間を確保しながら、伝達信号の伝播タイミングの調整を行なうことができる。

**【0050】**

さらに、この場合に、出力タイミング変更回路は、メモリ回路ブロックの内部に形成されていることが好ましい。

**【0051】**

**【発明の実施の形態】**

**(第1の実施形態)**

本発明の第 1 の実施形態について図面を参照しながら説明する。

【0052】

図 1 は本発明の第 1 の実施形態に係る半導体装置のブロック構成を示している。

【0053】

図 1 に示すように、半導体チップ 10 には、論理回路ブロック 11 とメモリ回路ブロック 12 とが形成され、これら論理回路ブロック 11 とメモリ回路ブロック 12 との間には、ブロック間信号 DA の伝播タイミングを調整するタイミング調整回路ブロック 13 が設けられている。

【0054】

各回路ブロック 11、12 は、入出力用インタフェース回路として、第 1 のシフトレジスタ 14 及び第 2 のシフトレジスタ 15 がそれぞれ組み込まれている。

【0055】

第 1 のシフトレジスタ 14 は、図 2 に示すように、例えば 4 つの DFF（デイレイ型フリップフロップ）が直列に接続されてなり、入力信号 IN を受ける DFF から、クロック信号 CLK が入力されるたびに、隣接する DFF に入力信号 IN が順次伝達され且つ出力される。ここで、DFF の個数は 4 つに限られないことはいうまでもなく、論理回路ブロック 11 及びメモリ回路ブロック 12 に必要な個数を有していればよい。

【0056】

図 1 に示すように、外部から入力パッド 16 を介して入力される、検査パターンである入力信号 IN は、論理回路ブロック 14 の第 1 のシフトレジスタ 14 に入力される。第 1 のシフトレジスタ 14 から出力されるブロック間信号 DA 及びクロック信号 CLK は、タイミング調整回路ブロック 13 に入力され、続いて、タイミング調整回路ブロック 13 において、ブロック間信号 DA には必要なタイミングの調整が施されてブロック間信号 DAD となり、メモリ回路ブロック 12 の第 2 のシフトレジスタ 15 に入力される。さらに、ブロック間信号 DAD を受ける第 2 のシフトレジスタ 15 は、出力信号 OUT を出力する。

【0057】

また、半導体チップ10は、入力信号INと出力信号OUTとが入力され、入力された信号同士の値を比較する比較回路17と、比較結果が不一致である場合に、タイミング調整回路ブロック13に対してハイレベルの、すなわち活性化されたタイミング調整制御信号CNTを出力する制御回路18とからなる比較制御回路19を備えている。また、比較回路17の比較結果は比較出力信号1として、第1の出力パッド20を介して外部にも出力される。

#### 【0058】

後述するように、タイミング調整回路ブロック13には、入力されたタイミング調整制御信号CNTが出力された個数を、パラレルのブロック間信号DAごとに保持するヒューズ回路を有しており、該ヒューズ回路を構成するヒューズ素子のトリミングデータは、例えばヒューズ情報信号FOとして、第2の出力パッド21を介して外部に出力される。

#### 【0059】

図3はタイミング調整回路ブロック13の具体的な構成例を示している。

#### 【0060】

図3に示すように、タイミング調整回路ブロック13は、ブロック間信号DA<sub>n</sub>（但し、nは正の整数である。）に対応して、n個のタイミング調整回路ユニット30を含む。

#### 【0061】

タイミング調整回路ユニット30は、例えば、ブロック間信号DA<sub>1</sub>にそれぞれ異なる遅延量を付与できる複数の遅延素子A、B、Cを有する遅延素子ブロック31と、タイミング調整回路ブロック13からタイミング調整制御信号CNTを受けるカウンタ回路ブロック32と、タイミング検査の終了後にカウンタ回路ブロック32が保持するヒューズ情報信号FOに基づいてトリミング（溶断）され、カウンタ回路ブロック32と実質的に同一の機能を有するヒューズ回路ブロック33とにより構成されている。ここで、各遅延素子ブロック31に含まれる遅延素子はA、B、Cの3通りには限られず、少なくとも1種類の遅延素子を有していれば良い。

#### 【0062】

遅延素子ブロック 31 の入力側及び出力側には、該遅延素子ブロック 31 のいずれの遅延素子を挿入するか又はいずれの遅延素子をも挿入しないかを選択する第 1 のスイッチ 34 及び第 2 のスイッチ 35 が設けられている。

#### 【0063】

さらに、外部からスイッチ制御信号 SW を受け、タイミング検査時には、カウンタ回路ブロック 32 を介して第 1 のスイッチ 34 及び第 2 のスイッチ 35 をタイミング調整制御信号 CNT に基づいて遅延素子 A、B、C を選択又は非選択とできるようにし、一方、検査終了後には、カウンタ回路ブロック 32 が保持するヒューズ情報信号 FO に基づいて、遅延素子 A、B、C を選択又は非選択とできるように接続する第 3 のスイッチ 36 が設けられている。

#### 【0064】

図 4 はタイミング調整回路ユニット 30 の具体的な構成例を示している。図 4 において、図 3 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

#### 【0065】

図 4 に示すように、第 1 のスイッチ 34 及び第 2 のスイッチ 35 は、遅延素子ブロック 31 における 3 種類の遅延素子 A、B、C と対応した、それぞれ 3 つずつのトランスファークロスタックから構成されている。

#### 【0066】

第 3 のスイッチ 36 は 6 つのトランスファークロスタックからなり、そのうちの 3 つはスイッチ制御信号 SW を受け、且つカウンタ回路ブロック 32 からの出力信号を第 1 のスイッチ 34 及び第 2 のスイッチ 35 に伝達可能とし、他の 3 つはスイッチ制御信号 SW の反転信号を受け、且つヒューズ回路ブロック 33 からの出力信号をカウンタ回路ブロック 32 とは排他的に第 1 のスイッチ 34 及び第 2 のスイッチ 35 に伝達可能とするように接続されている。

#### 【0067】

以下、前記のように構成された半導体装置において、論理回路ブロック 11 からメモリ回路ブロック 12 に伝達されるブロック間信号 DA の伝播タイミングを検査して調整する検査方法について図 5 に示すタイミングチャートを参照しなが

ら説明する。

【0068】

まず、タイミング検査中は、図3に示す第3のスイッチ36はカウンタ回路ブロック32を選択している。

【0069】

図5に示すように、時刻aから始まる第1のタイミング検査において、値が'0'で入力された入力信号INは、論理回路ブロック11の第1のシフトレジスタ14によりラッチされた後、ブロック間信号DAとしてタイミング調整回路ブロック13に出力される。このとき、メモリ回路ブロック12においてブロック間信号DADを第2のシフトレジスタ15でラッチするためのクロック信号CLKも同時に伝達される。

【0070】

次に、時刻bの検査タイミングにおいて、メモリ回路ブロック12において、タイミング調整回路ブロック13を通過したブロック間信号DADは、クロック信号CLKによって第2のシフトレジスタ15でラッチされる。しかしながら、この時刻bでは、タイミング調整回路ブロック13におけるタイミング調整が行われていないため、論理回路ブロック11から出力されたブロック間信号DAと、メモリ回路ブロック12に入力されたブロック間信号DADとの間に差はない。このため、メモリ回路ブロック12の第2のシフトレジスタ15においては、値が'1'の入力データをラッチし、次の時刻cにおいて値が'1'の出力信号OUTが出力される。従って、図1に示す比較制御回路19において、入力信号INと出力信号OUTとの論理値が一致しないことが判定され、その結果、失敗を表わす比較出力信号1を第1の出力パッド20に出力する。

【0071】

ここで、信号の伝播タイミングの不一致と、信号接続の不具合とを区別するために、例えば動作周波数を変えたり、信号パターンを変えたりしても良い。

【0072】

以下、比較制御回路とタイミング調整回路ブロックの動作を説明する。

【0073】

図 1 に示す比較制御回路 19 における比較回路 17 が入力信号 I N と出力信号 O U T とのタイミングの不一致を検出すると、比較回路 17 は制御回路 18 が出力するタイミング調整制御信号 C N T を活性化する。

#### 【0074】

次に、図 3 に示すように、活性化されたタイミング調整制御信号 C N T は、タイミング調整回路 13 における平行のブロック間信号 D A と対応する各タイミング調整回路ユニット 30 のカウンタ回路ブロック 32 に入力される。活性化されたタイミング調整制御信号 C N T が入力されたカウンタ回路ブロック 32 は、そのカウンタ値を 1 つだけ大きくする。これにより、ブロック間信号 D A と D A D と間に、遅延素子ブロック 31 と接続される第 1 のスイッチ 34 及び第 2 のスイッチ 35 における接続情報が変更され、その結果、ブロック間信号 D A と D A D との間にタイミング差が生じる。

#### 【0075】

ここで、遅延素子 A、B、C との接続の変更方法には、例えば、遅延量が小さい素子 A から大きい素子 C へと順次変更していく方法や、遅延量が中間の素子 B に初期設定しておき、遅延量が大きい素子 C へ変更した後、該素子 C でも調整できなければ、素子 B よりも遅延量が小さい素子 A へと変更する方法や、その逆の方法、さらには、遅延素子ブロック 31 における遅延素子の組み合わせを 3 通りよりも多くした場合に、初期設定を遅延量の中間値にしておき、その遅延量が大きい方及び小さい方へと交互に変更を繰り返しながら、遅延量が最も小さい素子又は最も大きい素子へと設定する方法等がある。

#### 【0076】

次に、時刻 d から始まる第 2 のタイミング検査を図 5 に基づいて説明する。まず、時刻 d においては時刻 a と同様に、値が ' 0 ' の入力信号 I N を入力する。ここで、ブロック間信号 D A D には、前述したようにタイミング調整回路ブロック 13 において、元のブロック間信号 D A に所定の遅延量が付与されている。従って、次の時刻 e において、クロック信号 C L K によってメモリ回路ブロック 12 の第 2 のシフトレジスタ 15 によって、値が ' 0 ' の信号が正しくラッチされる。その結果、入力信号 I N と出力信号 O U T との互いの論理値が一致するため



、タイミング検査を終了する。その後、タイミング調整回路ブロック 13 における各カウンタ回路ブロック 32 から、該カウンタ回路ブロック 32 がそれぞれ保持する遅延情報をヒューズ情報信号 FO として出力する。

#### 【0077】

各タイミング調整回路ユニット 30 において、カウンタ回路ブロック 32 と並列に設けられたヒューズ回路ブロック 33 は、ヒューズ素子とその溶断数によりカウンタ回路ブロック 32 の遅延情報を保持する。従って、タイミング検査の終了後に、ヒューズ情報信号 FO に基づいて各ヒューズ回路ブロック 33 のヒューズ素子をそれぞれ溶断することにより、通常動作時に対しても、ブロック間信号 DA に対して行なったタイミング調整後の状態を確実に保持することができる。

#### 【0078】

また、通常動作時には、第 3 のスイッチ 36 はスイッチ制御信号 SW によりヒューズ回路ブロック 33 と接続されるように選択される。

#### 【0079】

なお、図示はしていないが、スイッチ制御信号 SW を出力するスイッチ制御回路にも別のヒューズ素子を設けておき、検査の終了時に該スイッチ制御回路に設けた別のヒューズ素子を溶断することにより、それ以降はヒューズ回路ブロック 33 のみが固定して選択されるようにしてもよい。

#### 【0080】

以上説明したように、ブロック間信号 DA の伝播タイミングの調整が失敗した場合には、タイミング調整が人手を介することなく自動的に継続され、タイミング調整が成功した場合には、ブロック間信号 DA と対応するカウンタ回路ブロック 32 の出力信号であるヒューズ情報信号 FO に基づいて、ヒューズ素子を用いてタイミング調整情報を固定することができる。その結果、タイミング検査後にはマスクを変更する必要がなくなり、タイミング調整を容易に行なうことができる。

#### 【0081】

その結果、特に高性能化された大規模システム LSI のように、信号線のクロストークの影響や電源の電圧降下による影響が顕著な半導体チップ 10 のタイミ

ング設計には、各信号線に対してより詳細なタイミング設計が可能となる。その上、チップ全体の検証後にタイミングの微調整を行なえるため、設計の後戻りを防止することができる。

#### 【0082】

また、第1の実施形態に係るタイミング検査は、従来の回路ブロック間の接続チェックの検査工程と同時に行なうことができる。これにより、従来の接続チェックを行なうための回路構成に、タイミング調整回路ブロック13等を付加し、検査工程においては、例えば接続チェックに使用する検査信号の周波数に加えて低動作周波数から実動作周波数まで検査できるプログラムを付加すれば、タイミング検査も同時にチェックすることができる。従って、新たな検査工程を設ける必要がなくなるので、検査コストを削減することができる。

#### 【0083】

なお、ヒューズ情報信号F0は、タイミング調整を必要とするブロック間信号DAがパラレルであり多数であった場合には、パラレルシリアル変換回路によって、第2の出力パッド21から、シリアルに1データずつ出力するようにしてもよい。これにより、パッド数を削減できるため、レイアウト面積を縮小することができる。

#### 【0084】

第1の実施形態においては、図3及び図4に示す遅延素子ブロック31に対する調整は、入力信号INと出力信号OUTとの論理値が一致するか、又は各カウンタ回路ブロック32におけるカウンタ値がすべてカウントアップした場合、すなわちすべての遅延素子A、B、Cを使い切った場合に終了する。これにより、検査の終了を規定することができるため、不要な検査がなくなるので、検査コストを削減できる。

#### 【0085】

また、図3及び図4に示す各カウンタ回路ブロック32におけるカウンタの初期化は、電源の投入時に行なう。これにより、カウンタ回路ブロック32の初期化を規定できるだけでなく、電源を落とさない限りは各カウンタ回路ブロック32において遅延情報を保持できるため、タイミング検査を継続して行なうことが

できる。

【0086】

また、第1の実施形態においては、タイミング調整回路ブロック13をブロック間信号DAにのみ用いる。すなわち、ブロック間信号DAの伝播タイミングの基準となるクロック信号CLKのクロック周期は変更せず、ブロック間信号DAのタイミング調整をクロック信号CLKに対してのみ行なうため、ブロック間信号DAのタイミング調整が容易となる。その上、クロック信号CLKに対してタイミングの調整を行なわないことにより、メモリ回路ブロック12からの出力信号に対しては、後段の回路ブロックが設けられている場合に、出力タイミングを考慮する必要がなくなる。

【0087】

(第1の実施形態の第1変形例)

第1の実施形態の第1変形例として、タイミング調整回路ブロック13をクロック信号CLKにのみ用いてもよい。このようにすると、1つの信号CLKに対してのみタイミング検査を行なえば良く、検査時間を大幅に短縮することができる。

【0088】

(第1の実施形態の第2変形例)

図6に本発明の第1の実施形態の第2変形例に係るタイミング調整回路ブロックを示す。

【0089】

図6に示すように、タイミング調整回路ブロック13に対して入力されるタイミング調整制御信号CNTをAND回路37に一括して入力する構成である。

【0090】

パラレルのブロック間信号DAにそれぞれ対応するタイミング調整制御信号CNTのうち1つでも活性化した場合、すなわちパラレルのブロック間信号DAの1つでもタイミングの調整が失敗した場合には、カウンタ回路ブロック32においてカウンタ値が増えると共に、各ブロック間信号DA1、DA2等と遅延素子ブロック31を構成する遅延素子A、B、Cとの接続状態が同時に切り替わる。

## 【0091】

これにより、パラレルのブロック間信号DAに対して個別にタイミング調整を行なうよりも、検査が容易となり且つ検査時間をも短縮することができる。

## 【0092】

ここで、タイミング調整制御信号CNTは、比較回路17からの比較出力信号1を用いてもよい。このようにすると、回路素子数や信号線数を削減できる。

## 【0093】

なお、すべてのブロック間信号DAを一括して変更すると述べたが、各ブロック間信号DAの機能又は信号配置の関係を考慮して、複数のブロックにまとめ、複数のブロックごとに一括して変更するようにしてもよい。

## 【0094】

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

## 【0095】

図7は本発明の第2の実施形態に係る半導体装置のブロック構成を示している。図7において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

## 【0096】

第2の実施形態においては、ブロック間信号DAに対する伝播タイミングの調整だけでなく、ブロック間信号DAに対する調整だけではタイミング調整が行えないような場合に、クロック信号CLKの伝播タイミングをも調整する。

## 【0097】

図7に示すように、第2の実施形態に係るタイミング調整回路ブロック40は、ブロック間信号DAに対して伝播タイミングの調整を行なう信号用ブロック41と、クロック信号CLKの伝播タイミングを調整するクロック用ブロック42と、メモリ回路ブロック12からの回路出力信号DOUTの伝播タイミングを調整する出力用ブロック43とから構成されている。

## 【0098】

図8にタイミング調整回路ブロック40の具体的な構成例を示す。ここでも、

図8において、図3に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

#### 【0099】

図8に示すように、信号用ブロック41は、第1の実施形態に係るタイミング調整回路ブロック13と同等の構成を有している。

#### 【0100】

クロック用ブロック42は、クロック信号CLKを受け、受けたクロック信号CLKに対して所定の遅延量（但し、遅延量0を含む。）を付与されたクロック信号CLKDを出力する。同様に、出力用ブロック43は、メモリ回路ブロック12からの回路出力信号DOUTを受け、受けた回路出力信号DOUTに対して所定の遅延量（但し、遅延量0を含む。）を付与された回路出力信号DOUTDを出力する。

#### 【0101】

ここで、クロック用ブロック42及び出力用ブロック43は、第1の実施形態に係るタイミング調整回路ユニット30と同等の構成を有している。さらには、信号用ブロック41における各カウンタ回路ブロック32からの出力信号である制御信号CNT1は、調整判定回路としてのクロックタイミング制御回路44に入力される。

#### 【0102】

クロックタイミング制御回路44は、各カウンタ回路ブロック32からの制御信号CNT1が、遅延素子ブロック31のいずれの遅延素子A～Cを用いてもタイミング調整が成功しない、調整不能を表わす信号である場合に、信号用ブロック41のカウンタ回路ブロック32と、出力用ブロック43のカウンタ回路ブロック32とに対して、各カウンタを増やす制御信号CNT2を出力する。

#### 【0103】

以下、前記のように構成された半導体装置において、論理回路ブロック11からメモリ回路ブロック12に伝達されるブロック間信号DAの伝播タイミングを検査して調整する検査方法について図9に示すタイミングチャートを参照しながら説明する。

**【0104】**

まず、第1のタイミング検査工程において、第1の実施形態と同様に、パレルのブロック間信号DAに対して、入力信号INと出力信号OUTとの論理値が一致するか否かを検査する。

**【0105】**

ここで、ブロック間信号DAのすべてに対して遅延調整を行なった後にも、入力信号INと出力信号OUTとが一致しない場合には、タイミング調整回路ブロック40を構成する信号用ブロック41におけるカウンタ回路ブロック32からの制御信号CNT1が活性化される。

**【0106】**

活性化された制御信号CNT1を受けたクロックタイミング制御回路44は、クロック用ブロック42に対して活性化された制御信号CNT2を出力し、クロック用ブロック42におけるカウンタ回路ブロック32のカウント値が増やされる。すなわち、クロック信号CLKのタイミング調整が始まる。

**【0107】**

これと同時に、クロックタイミング制御回路44は、出力用ブロック43に対しても活性化された制御信号CNT2を出力し、出力用ブロック43におけるカウンタ回路ブロック32もカウント値が増やされる結果、回路出力信号DOUTもクロック信号CLKの遅延分の遅延調整が行なわれる。

**【0108】**

なお、このとき、信号用ブロック41に含まれるすべてのカウンタ回路ブロック32におけるカウント値を初期化する。

**【0109】**

次に、第2のタイミング検査工程において、タイミング調整されたクロック信号CLKDを基準として、ブロック間信号DAがタイミング調整され、入力信号INと出力信号OUTとの論理値が一致するまで繰り返される。

**【0110】**

以上説明したように、まずブロック間信号DAのタイミング調整を行ない、調整不能と判定された場合には、クロック信号CLKと回路出力信号DOUTとの

伝播タイミングの調整を行なう。この調整されたクロック信号CLKDを基準として、再度、初期化されたブロック間信号DAのタイミング調整を行なうことにより、さらに高精度にタイミング調整を行なうことができる。

#### 【0111】

第2の実施形態においては、メモリ回路ブロック12からの回路出力信号OUTをクロック信号CLKDの遅延調整量に合わせてタイミング調整を行なうため、後段の回路ブロックが設けられている場合には、後段の回路ブロックとの間における信号伝達には伝播タイミングに不具合が生じることがない。

#### 【0112】

また、タイミング検査は、入力信号INと出力信号OUTとの論理値が一致するか、又は各ブロック間信号DAがすべての遅延調整素子A～Cを使い切るまで行なわれる。

#### 【0113】

また、遅延調整回数をカウントする他の回路を設けて調整回数を規制すると、検査の終了時点が明確となって、検査工程を効率化することができる。

#### 【0114】

なお、第2の実施形態に係る構成は、第1の実施形態の第2変形例と組み合わせても良い。

#### 【0115】

(第3の実施形態)

以下、本発明の第3の実施形態について図面を参照しながら説明する。

#### 【0116】

図10は本発明の第3の実施形態に係る半導体装置のブロック構成を示している。図10において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

#### 【0117】

第3の実施形態においては、伝播タイミングが調整されたブロック間信号DADと、クロック信号CLKに対するセットアップ期間及びホールド期間のうちの少なくとも一方を含む信号確定期間を包含する信号（以下、確定期間信号と呼ぶ

。)との間のずれの有無を半導体装置の外部で確認しながら、ブロック間信号D Aに付与する遅延量を調整する。

#### 【0118】

図10に示すように、第3の実施形態に係る半導体装置は、論理回路ブロック11とメモリ回路ブロック12との間に、論理回路ブロック11から出力されるブロック間信号D Aに対する遅延量を調整するタイミング調整回路ブロック50が設けられている。

#### 【0119】

タイミング調整回路ブロック50は、ブロック間信号D A Dと確定期間信号との間のずれ量をあらわすタイミングずれ信号C D Oを第1の出力パッド20に出力する。

#### 【0120】

また、メモリ回路ブロック12に含まれる第2のシフトレジスタ15はその出力信号O U Tを第2の出力パッド21を介して外部に出力する。

#### 【0121】

図11はタイミング調整回路ブロック50の具体的な構成例を示す。ここでも、図11において、図3に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

#### 【0122】

図11に示すように、パラレルのブロック間信号D A 1、D A 2等と対応した複数のタイミング調整回路ユニット30と、クロック信号C L Kを受け、受けたクロック信号C L Kから確定期間信号C S Hを生成して出力する確定期間信号発生回路51と、それぞれが確定期間信号C S Hとブロック間信号D A D 1、D A D 2等を受け、受けた入力信号に対して論理積演算を行なって、その結果をタイミングずれ信号C D O 1、C D O 2等として出力する複数のA N D回路52とから構成されている。

#### 【0123】

ここで、確定期間信号C S Hは、クロック信号C L Kと、メモリ回路ブロック12でラッチされる信号の仕様とにより決定されるセットアップ時間及びホール



ド時間の少なくとも一方を含む。

#### 【0124】

タイミング調整回路ユニット30は、3通りの遅延量を選択可能な遅延素子A、B、Cを有する遅延素子ブロック31と、第1のスイッチ34と、第2のスイッチ35と、該第1及び第2のスイッチ34、35を同時に切り替えるヒューズ回路ブロック33とから構成されている。

#### 【0125】

以下、前記のように構成された半導体装置において、論理回路ブロック11からメモリ回路ブロック12に伝達されるブロック間信号DAの伝播タイミングを検査して調整する検査方法について図12に示すタイミングチャートを参照しながら説明する。

#### 【0126】

まず、第1の検査工程における時刻aの検査タイミングにおいて、入力信号INに値が'0'のデータが入力される。入力信号INはブロック間信号DADとしてタイミング調整回路ブロック50から出力される。このとき、ブロック間信号DADと確定期間信号CSHとの論理積演算が各AND回路52によって行なわれ、各AND回路52はその演算結果をタイミングずれ信号CDOとして出力する。従って、図12に示すように、ブロック間信号DADと確定期間信号CSHとの間にタイミングずれが生じている場合には、時刻aの直前と時刻bの直前とにおいて、タイミングずれ信号CDOはそれぞれ期間t1のハイレベル信号を出力する。

#### 【0127】

このように、第3の実施形態によると、ブロック間信号DADがクロック信号CLKに対してセットアップ時間及びホールド時間の少なくとも一方にずれが生じたことをタイミングずれ信号CDOがハイレベルとなる期間で表わすことができるため、伝播タイミングのずれ量を視覚的に検証することができる。

#### 【0128】

従って、第2の検査工程において、タイミングずれ信号CDOがハイレベルとならないように、各ヒューズ回路ブロック33に対してヒューズ素子のトリミン

グを行なうことにより、ブロック間信号DADに付与される遅延量を容易に且つ確実に調整することができる。

#### 【0129】

また、第3の実施形態に係る半導体装置は、第1の実施形態及び第2の実施形態に係る半導体装置に設けた比較制御回路19を設けなくて済み、回路構成を簡単化できるので、回路面積を縮小できる。その上、テスト等により、比較的容易にタイミング調整を行なうことができる。

#### 【0130】

また、ブロック間信号DADと確定期間信号CSHとの論理積演算を外部から変更できる構成とすると、例えば、確定期間信号CSHの論理を反転して排他的論理和演算を行なうことによってもセットアップマージンを確認できる等、選択的にセットアップ／ホールドマージンを確認することができ、より容易にタイミング調整及び検証を行なうことができる。

#### 【0131】

また、確定期間信号CSHは、外部からの制御信号により、セットアップ期間及びホールドの少なくとも一方を選択できる構成としても良い。

#### 【0132】

また、確定期間信号CSHに代えてクロック信号CLKを用いると、確定期間信号発生回路51を設ける必要がなくなるので、信号マージンを容易に確認することができる。

#### 【0133】

(第4の実施形態)

以下、本発明の第4の実施形態について図面を参照しながら説明する。

#### 【0134】

図13は本発明の第4の実施形態に係る半導体装置のブロック構成を示している。図13において、図1に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

#### 【0135】

第4の実施形態は、入力信号IN2を発生する入力パターン発生回路ブロック

60を半導体チップ10に設けている。

#### 【0136】

入力パターン発生回路ブロック60は、外部から入力される入力パターン制御信号3を受けるパターン制御回路61と、該パターン制御回路61から制御されて入力信号IN2を生成して出力するパターン発生回路62とから構成されている。

#### 【0137】

以下、前記のように構成された半導体装置において、論理回路ブロック11からメモリ回路ブロック12に伝達されるブロック間信号DAの伝播タイミングを検査して調整する検査方法について説明する。

#### 【0138】

まず、タイミング検査を開始すると、活性化された入力パターン制御信号3が第1の入力パッド16を介してパターン制御回路61に入力される。これにより、パターン発生回路62は入力パターン制御信号3に応じた信号パターンを持つ入力信号IN2を、論理回路ブロック11における第1のシフトレジスタ14と比較制御回路19における比較回路17とにそれぞれ出力する。

#### 【0139】

ここで、入力信号IN2と出力信号OUT2との論理値が一致しない場合は、第1の実施形態で説明したように、制御回路18からタイミング調整回路ブロック13に活性化されたタイミング調整制御信号CNTが出力される共に、比較回路17から活性化された比較出力信号1がパターン制御回路61に出力される。これにより、パターン制御回路61が再度活性化され、パターン発生回路62から入力信号IN2が出力される。このように、半導体チップ10の内部で生成された入力信号IN2と出力信号OUT2との論理値が一致するまで自動的にタイミングの調整が繰り返される。

#### 【0140】

以上説明したように、第4の実施形態によると、第1の実施形態と同様に、ブロック間信号DAに対する伝播タイミングの調整が自動的に繰り返して行なわれ、さらにタイミングが一致した時点でヒューズ情報信号FOによって所定のヒューズ

ーズ素子を溶断することにより、遅延情報を容易に固定することができる。

#### 【0141】

その上、検査工程において、それぞれ特性劣化が生じやすい入力パターン信号を外部で作成するのではなく、回路ブロック間ごとにあらかじめブロック間信号のパターンを発生させる入力パターン発生回路60を設けているため、検査精度が向上する結果、検査コストを削減することができる。

#### 【0142】

なお、タイミング調整の繰り返し回数をあらかじめ設定しておき、その設定回数以内に調整が不能であることを通知する調整終了通知信号を付加したり、比較出力信号1を外部に出力し、且つ入力パターン制御信号3によって入力信号IN2のパターン発生を停止することにより、検査を終了できるようにすると、より効率的な検査を行なうことができる。

#### 【0143】

なお、第4の実施形態は、第1の実施形態又は第2の実施形態と組み合わせることができる。

#### 【0144】

(第5の実施形態)

以下、本発明の第5の実施形態について図面を参照しながら説明する。

#### 【0145】

図14は本発明の第5の実施形態に係る半導体装置のブロック構成を示し、図15は第5の実施形態に係るタイミング調整回路ブロックのブロック構成の一例を示している。図14及び図15において、それぞれ図1及び図3に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

#### 【0146】

図15に示すように、第5の実施形態に係るタイミング調整回路ブロック70における各タイミング調整回路ユニット30には、カウンタ回路ブロック32が有する遅延情報を固定的に保持する保持回路として、ヒューズ回路ブロックに代えて不揮発性デバイス回路ブロック71を設けている。不揮発性デバイス回路ブロック71はカウンタ回路ブロック32と電氣的に接続されており、不揮発性デ

バイス回路ブロック 7 1 にはカウンタ回路ブロック 3 2 が保持する遅延情報が入力される。

#### 【0 1 4 7】

タイミング調整回路ブロック 7 0 には、各不揮発性デバイス回路ブロック 7 1 に電源電圧を供給する内部電源回路 7 2 が設けられている。なお、内部電源回路 7 2 は必ずしも設ける必要はなく、外部から各不揮発性デバイス回路ブロック 7 1 に電源電圧を供給する構成であっても良い。

#### 【0 1 4 8】

各不揮発性デバイス回路ブロック 7 1 は、書き込み制御信号 W R T によって書き込みが行なわれ、該書き込み制御信号 W R T は、図 1 4 に示すように、第 2 の入力パッド 2 2 を介して外部から入力される。

#### 【0 1 4 9】

以下、前記のように構成された半導体装置において、論理回路ブロック 1 1 からメモリ回路ブロック 1 2 に伝達されるブロック間信号 D A の伝播タイミングを検査して調整する検査方法について説明する。

#### 【0 1 5 0】

タイミングの検査及び調整工程は、第 1 の実施形態又は第 3 の実施形態と同様である。相違点は、タイミング検査の終了後に、各カウンタ回路ブロック 3 2 に保持された遅延情報が、書き込み制御信号 W R T の指示により一括に書き込まれる点である。

#### 【0 1 5 1】

以上説明したように、第 5 の実施形態によると、各カウンタ回路ブロック 3 2 が保持する遅延情報を、ヒューズ素子に代えて不揮発性デバイスを用いることにより、遅延情報を固定的に保持できるだけでなく、例えば、チップ組み立て後の検査工程においてタイミングの不具合が生じた場合であっても、再度タイミング検査を行なうことにより、遅延情報を書き換えることができる。

#### 【0 1 5 2】

なお、書き込み制御信号 W R T を用いて不揮発性デバイス回路ブロック 7 1 に書き込む代わりに、比較出力信号 1 の比較結果を用いて書き込んでも良い。

**【0153】**

また、不揮発性デバイス回路ブロック 71 に対する遅延情報の書き込みは、タイミング検査後ではなく、該タイミング検査中に遅延情報が変わるたびに行なっても良い。

**【0154】**

この場合に、不揮発性デバイス回路ブロック 71 からカウンタ回路ブロック 32 に対して不揮発性デバイス回路ブロック 71 が保持する情報を書き込むことができる回路を備えていると、タイミング検査中にトラブルが生じたとしても、不揮発性デバイス回路ブロック 71 にはトラブルの発生直前までの遅延情報が記録されているため、カウンタ回路ブロック 32 が保持していた遅延情報を復活することができる。その結果、タイミング検査及び調整を最初からやり直す必要がなくなるので、検査コストを削減することができる。

**【0155】**

なお、第 1～第 5 の各実施形態において、タイミング調整回路ブロック 13、40、50、60、70 をメモリ回路ブロック 12 の内部に設けても良い。例えば、メモリ回路ブロック 12 からの出力信号 OUT を規定する内部信号を遅延させる構成としても良い。このようにすると、メモリ回路ブロック 12 の外部に出力遅延調整を行なう回路素子を配置する必要がなくなるため、チップ面積を縮小することができる。

**【0156】**

また、各実施形態においては、ブロック間信号 DA は、論理回路ブロック 11 からメモリ回路ブロック 12 に流す構成としたが、これとは逆に、メモリ回路ブロック 12 から論理回路ブロック 11 に流す構成としても良い。また、回路ブロックは、論理回路とメモリ回路との組み合わせには限られない。

**【0157】****【発明の効果】**

本発明に係る半導体装置によると、大規模に集積化されるシステム LSI における回路ブロック間の信号配線による動作マージンの不足及び動作不良を、マスクを変更することなく調整できるため、チップの歩留まりが向上し、且つ開発コ

ストの削減及び開発期間の短縮を図ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置を示すブロック構成図である。

【図 2】

本発明の第 1 の実施形態に係る半導体装置に用いるシフトレジスタを示す回路図である。

【図 3】

本発明の第 1 の実施形態に係る半導体装置を構成するタイミング調整回路ブロックを示すブロック構成図である。

【図 4】

本発明の第 1 の実施形態に係る半導体装置を構成するタイミング調整回路ユニットを示すブロック構成図である。

【図 5】

本発明の第 1 の実施形態に係る半導体装置のタイミング検査工程におけるタイミングチャート図である。

【図 6】

本発明の第 1 の実施形態の第 2 変形例に係る半導体装置を構成するタイミング調整回路ブロックを示すブロック構成図である。

【図 7】

本発明の第 2 の実施形態に係る半導体装置を示すブロック構成図である。

【図 8】

本発明の第 2 の実施形態に係る半導体装置を構成するタイミング調整回路ブロックを示すブロック構成図である。

【図 9】

本発明の第 2 の実施形態に係る半導体装置のタイミング検査工程におけるタイミングチャート図である。

【図 10】

本発明の第 3 の実施形態に係る半導体装置を示すブロック構成図である。

**【図 1 1】**

本発明の第 3 の実施形態に係る半導体装置を構成するタイミング調整回路ブロックを示すブロック構成図である。

**【図 1 2】**

本発明の第 3 の実施形態に係る半導体装置のタイミング検査工程におけるタイミングチャート図である。

**【図 1 3】**

本発明の第 4 の実施形態に係る半導体装置を示すブロック構成図である。

**【図 1 4】**

本発明の第 5 の実施形態に係る半導体装置を示すブロック構成図である。

**【図 1 5】**

本発明の第 5 の実施形態に係る半導体装置を構成するタイミング調整回路ブロックを示すブロック構成図である。

**【図 1 6】**

従来の半導体装置を示すブロック構成図である。

**【符号の説明】**

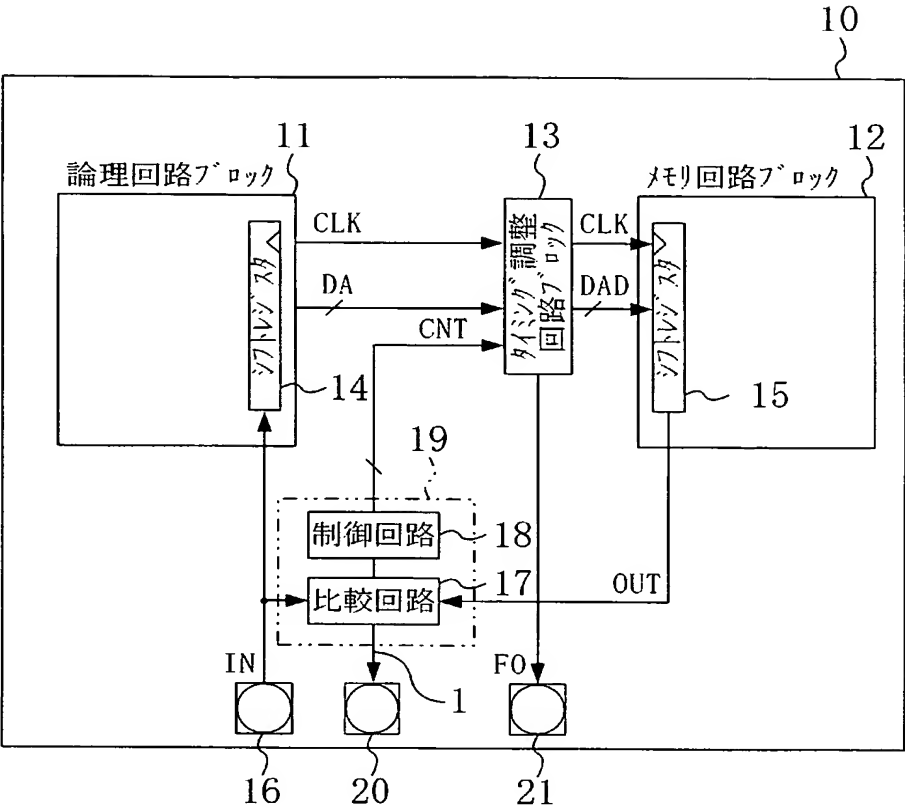
- 1 比較出力信号
- 3 入力パターン制御信号
- 10 半導体チップ
- 11 論理回路ブロック
- 12 メモリ回路ブロック
- 13 タイミング調整回路ブロック
- 14 第 1 のシフトレジスタ
- 15 第 2 のシフトレジスタ
- 16 入力パッド
- 17 比較回路
- 18 制御回路
- 19 比較制御回路
- 20 第 1 の出力パッド



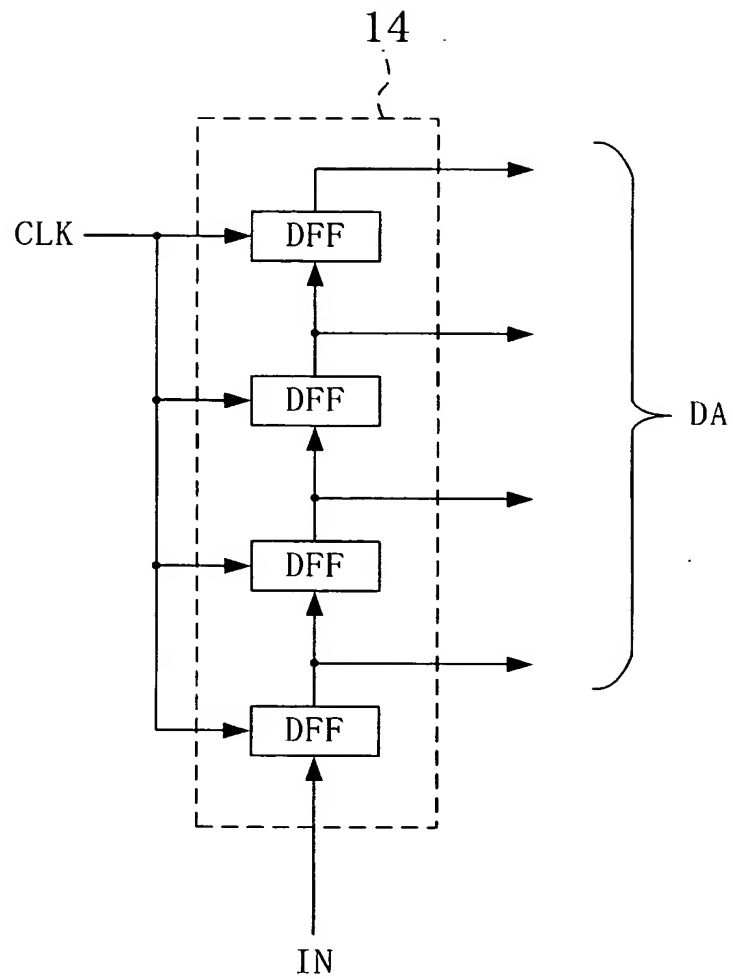
- 2 1 第 2 の出力パッド
- 2 2 第 2 の入力パッド
- 3 0 タイミング調整回路ユニット
- 3 1 遅延素子ブロック
- 3 2 カウンタ回路ブロック
- 3 3 ヒューズ回路ブロック
- 3 4 第 1 のスイッチ
- 3 5 第 2 のスイッチ
- 3 6 第 3 のスイッチ
- 3 7 AND 回路
- 4 0 タイミング調整回路ブロック
- 4 1 信号用ブロック
- 4 2 クロック用ブロック
- 4 3 出力用ブロック
- 4 4 クロックタイミング制御回路（調整判定回路）
- 5 0 タイミング調整回路ブロック
- 5 1 確定期間信号発生回路
- 5 2 AND 回路
- 6 0 入力パターン発生回路ブロック
- 6 1 パターン制御回路
- 6 2 パターン発生回路
- 7 0 タイミング調整回路ブロック
- 7 1 不揮発性デバイス回路ブロック
- 7 2 内部電源回路

【書類名】 図面

【図 1】

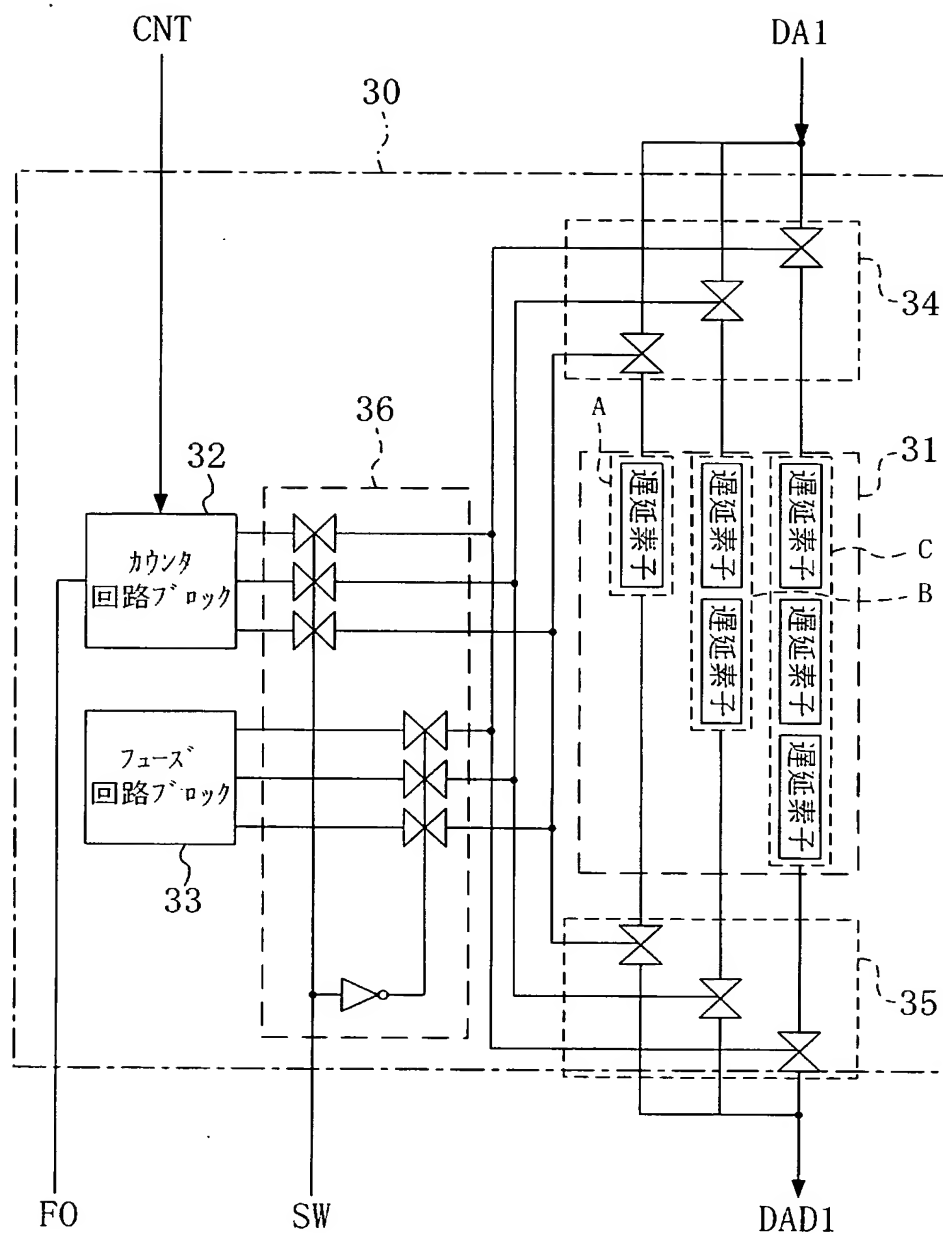


【図 2】

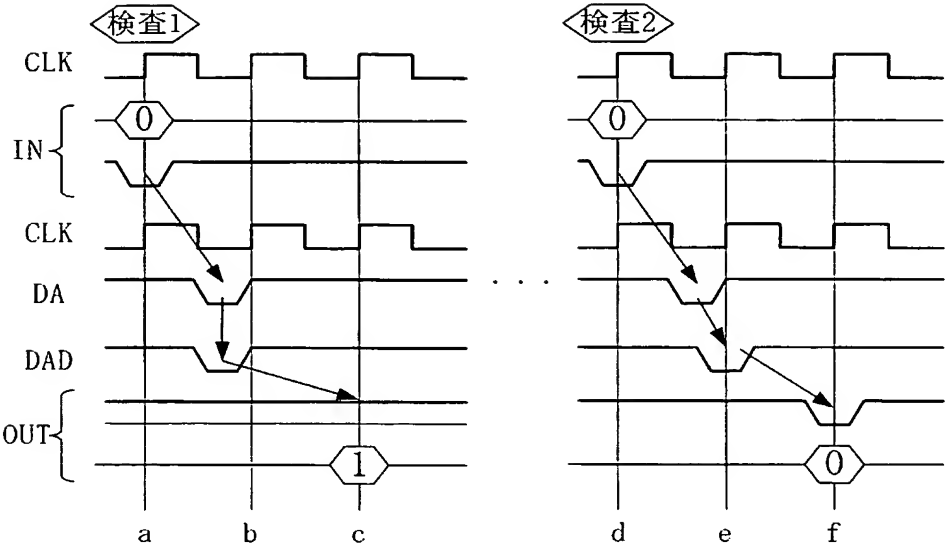




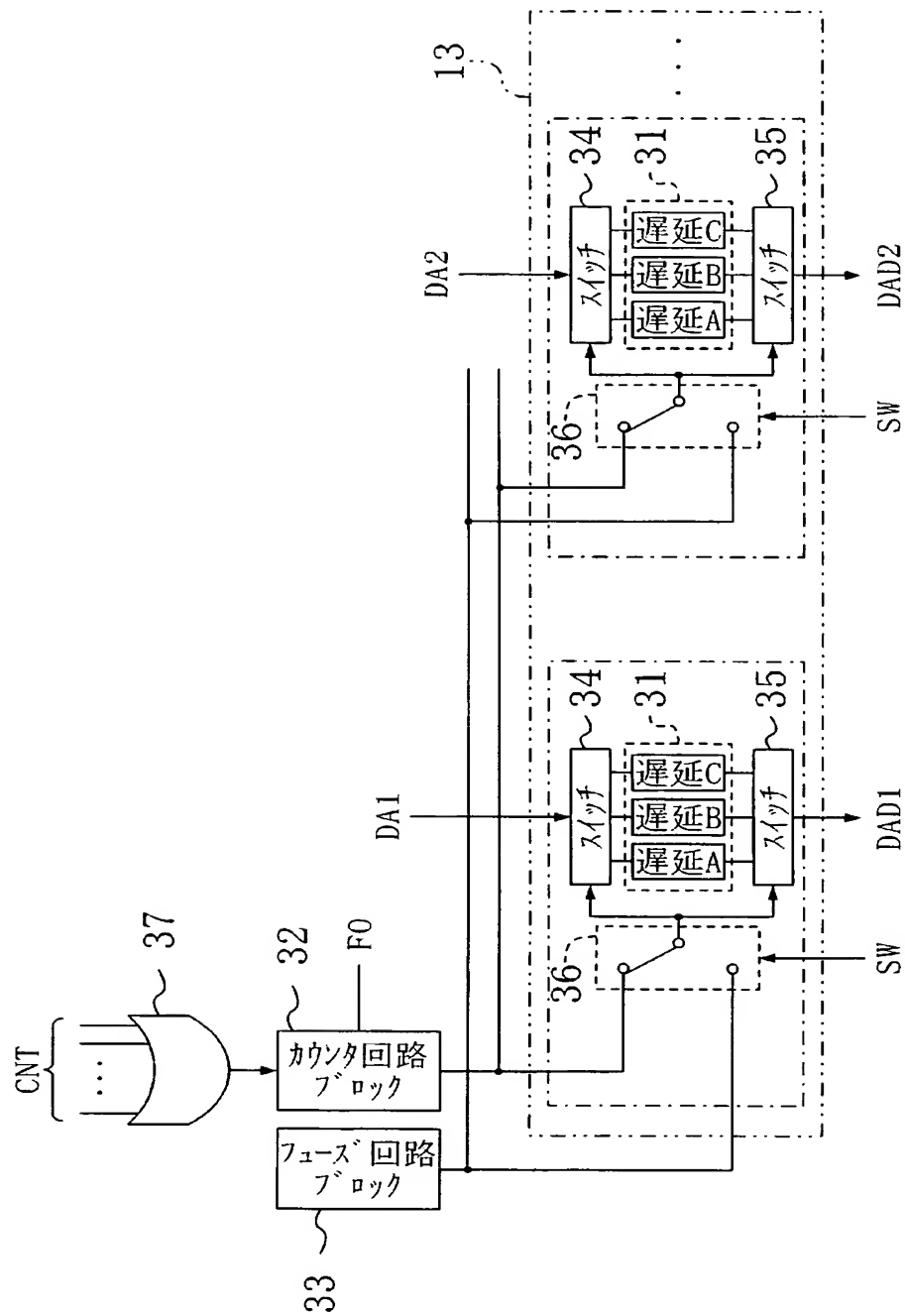
【図 4】



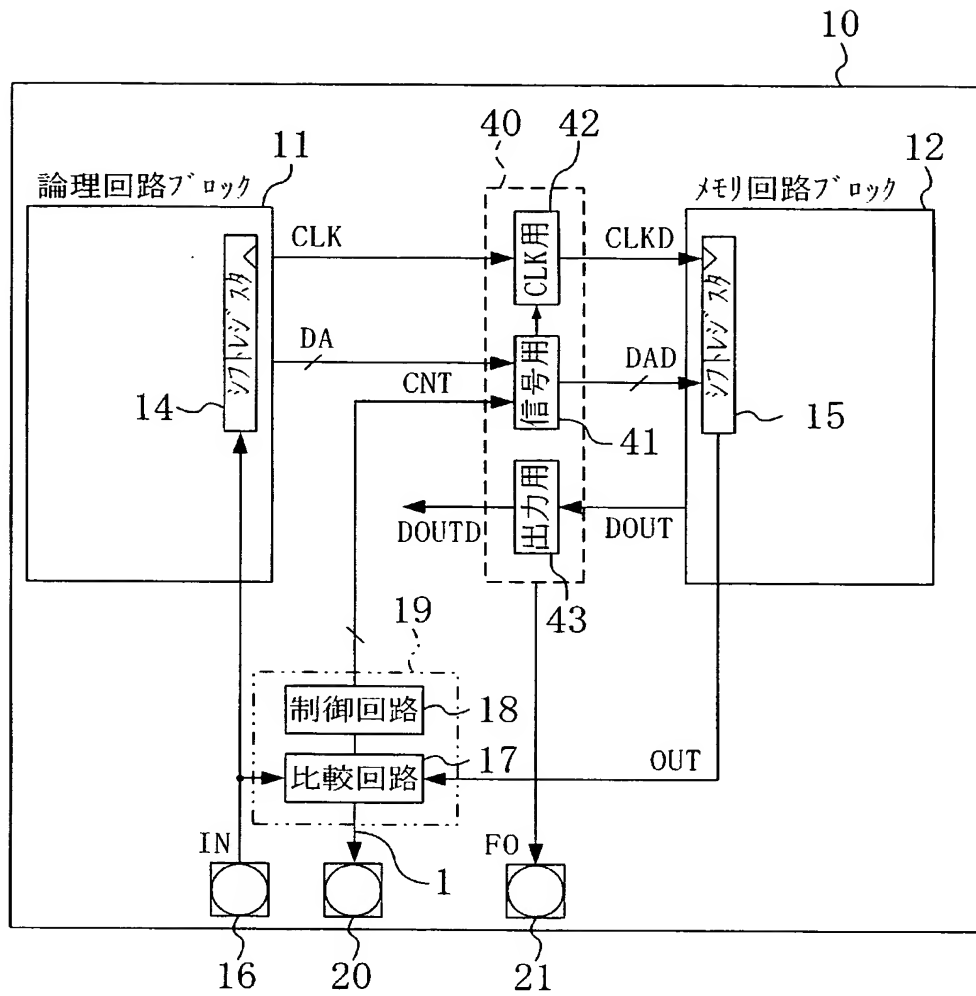
【図 5】



【図 6】

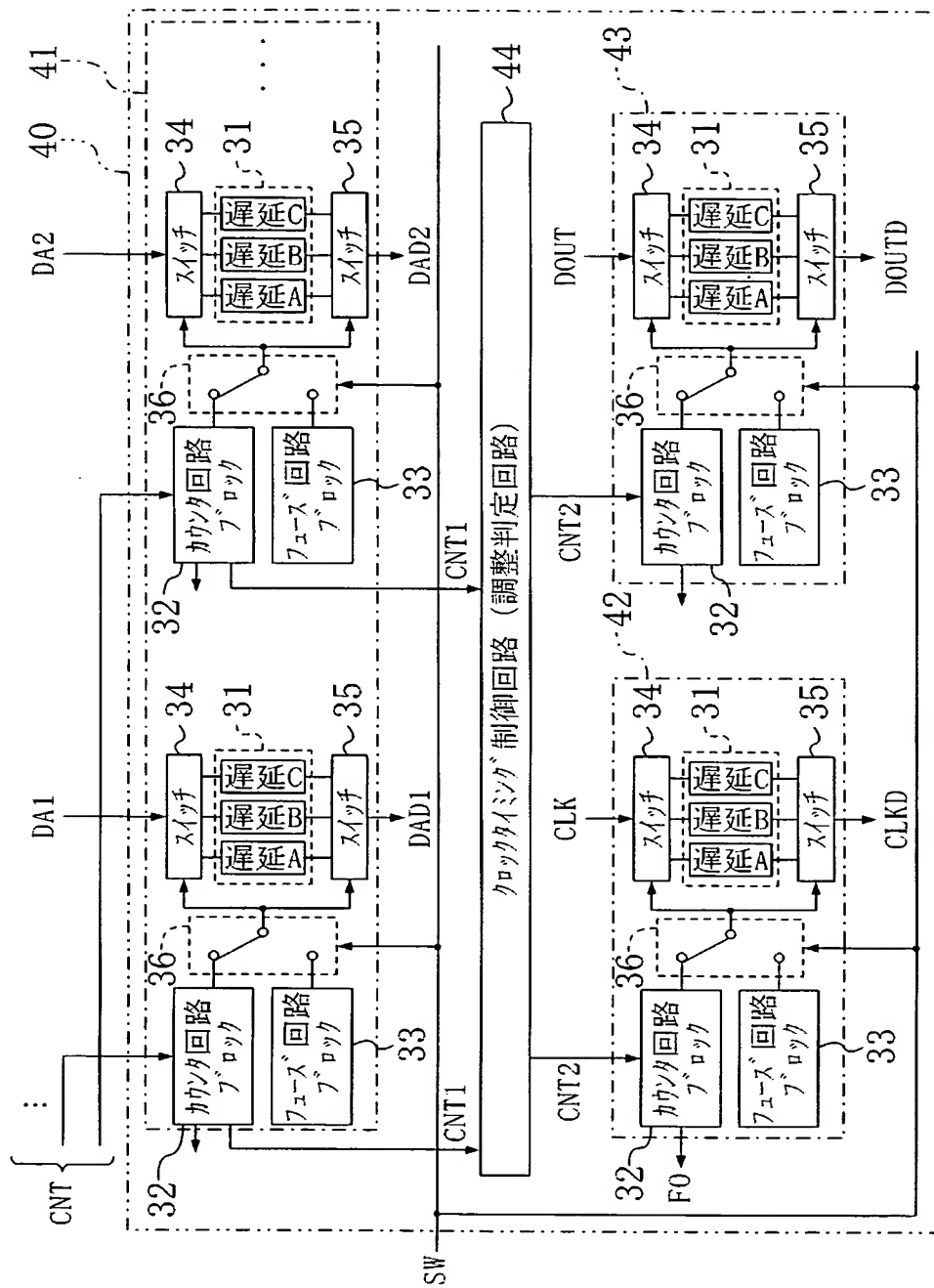


【図 7】

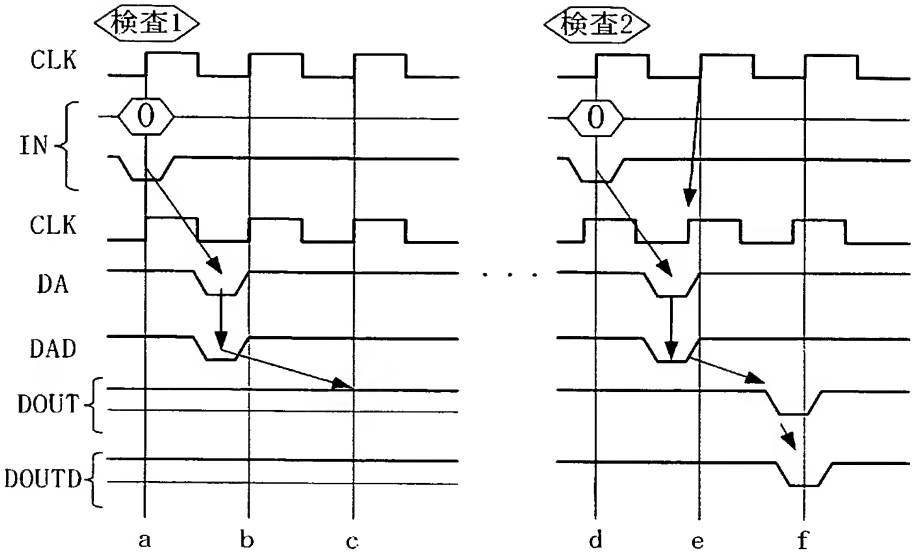




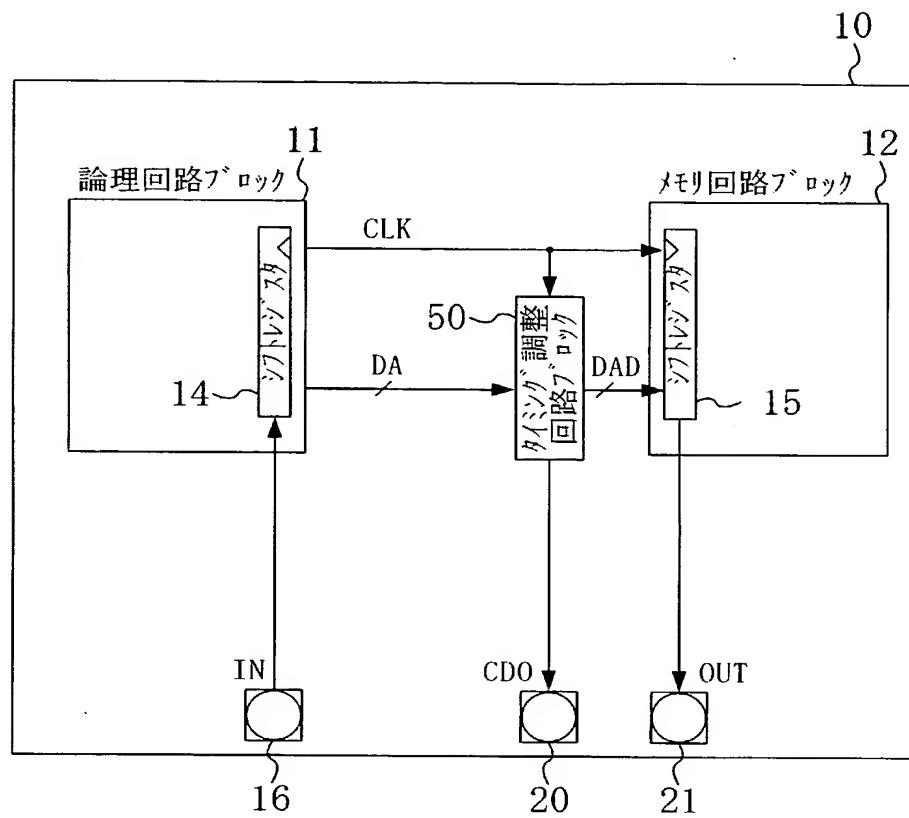
【図 8】



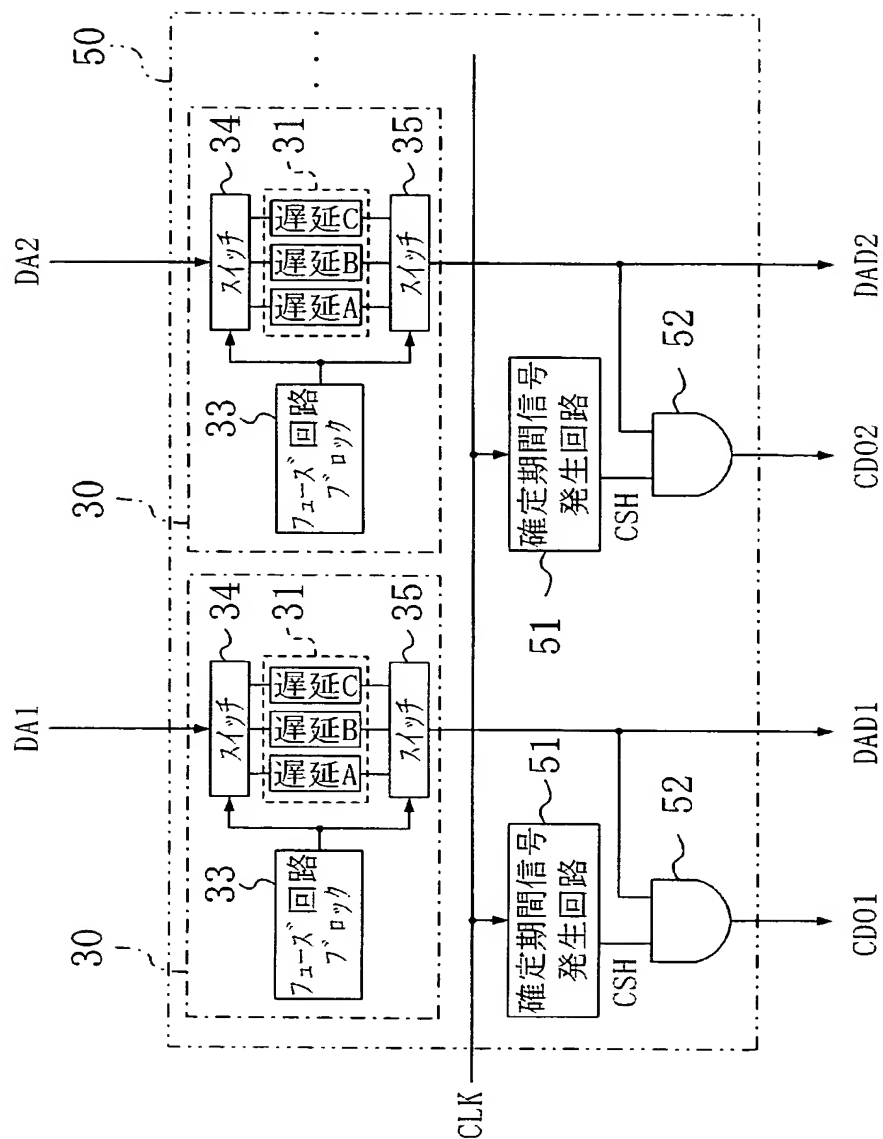
【図 9】



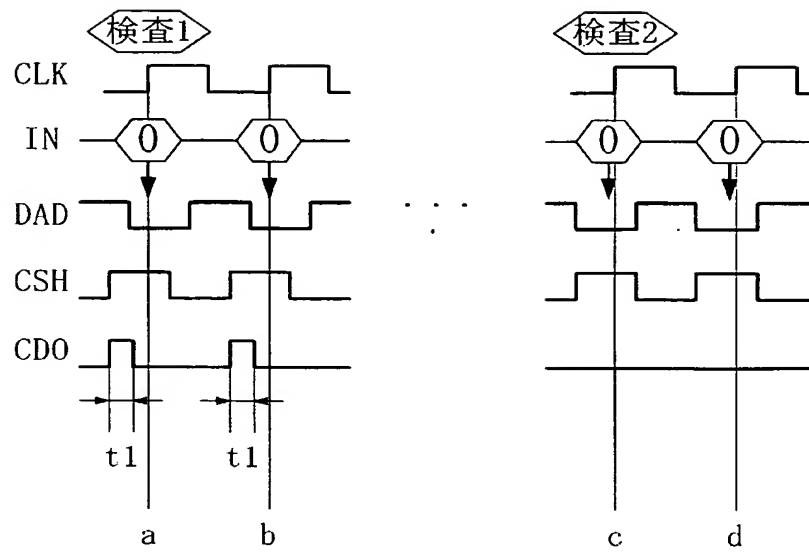
【図 10】



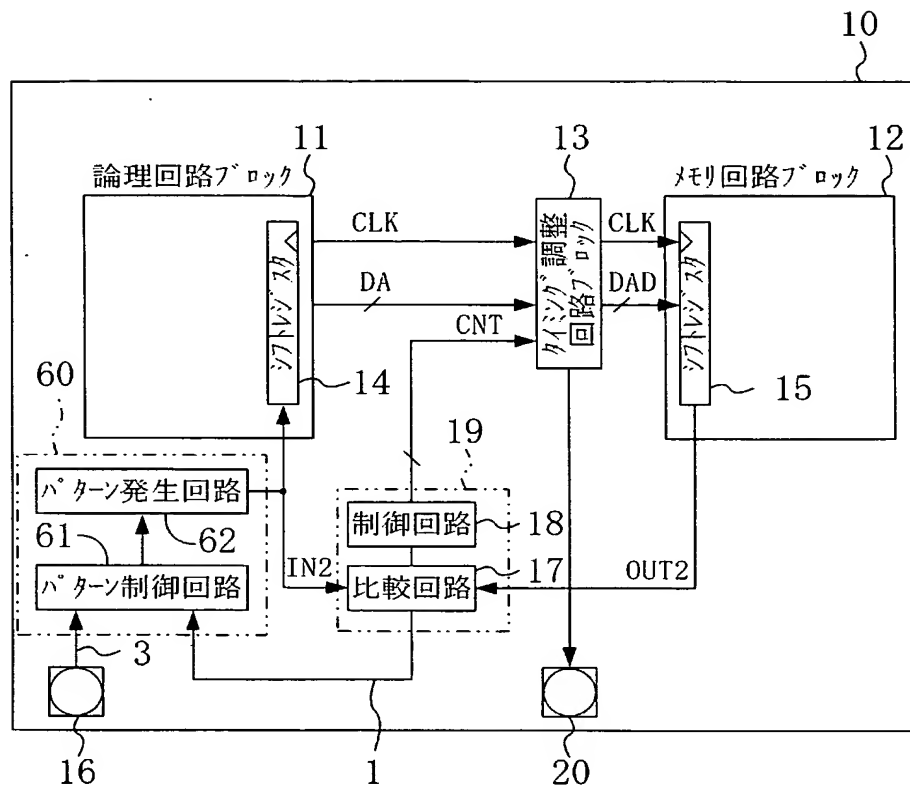
【図 11】



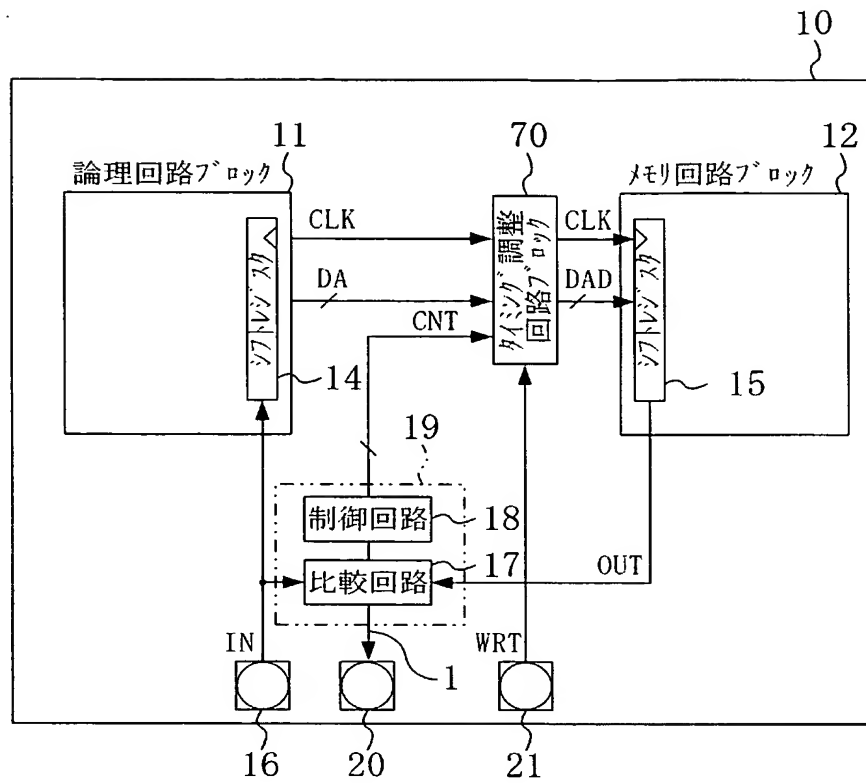
【図 1 2】



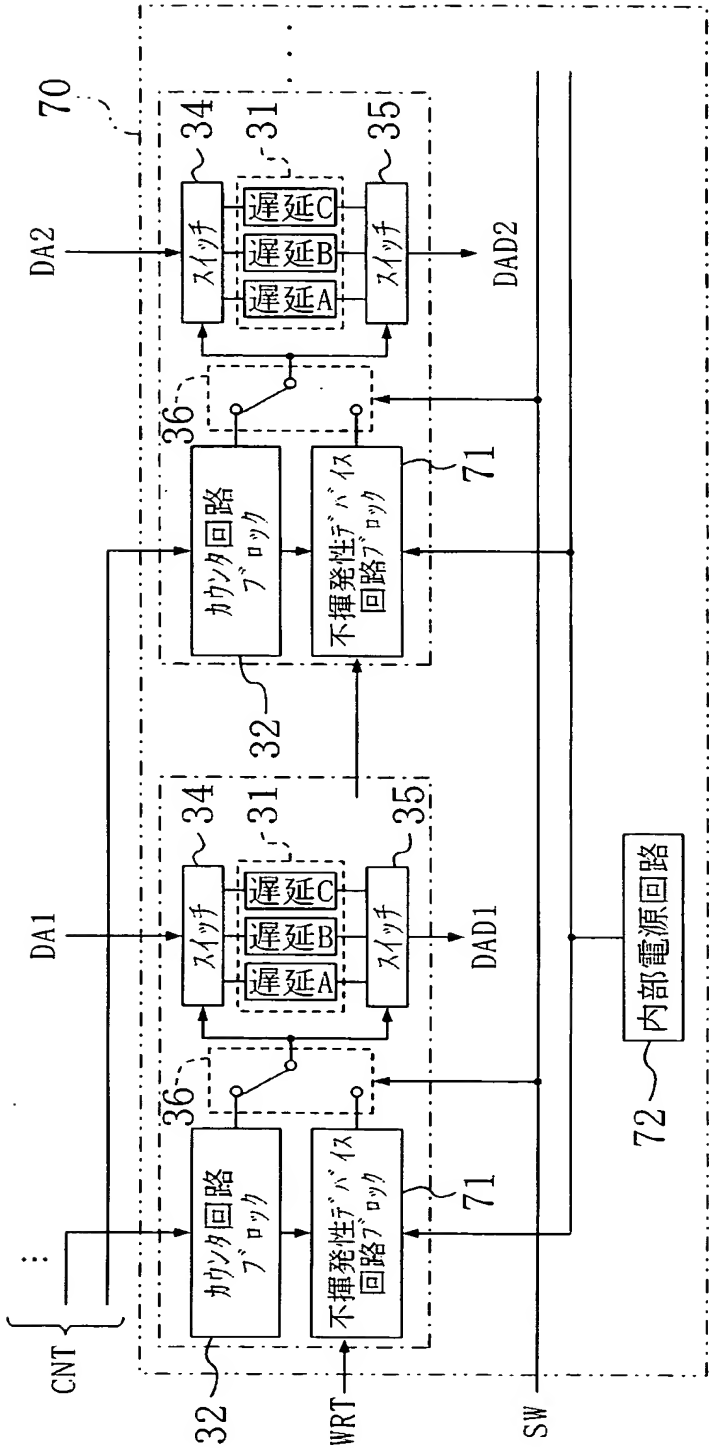
【図 13】



【図 14】

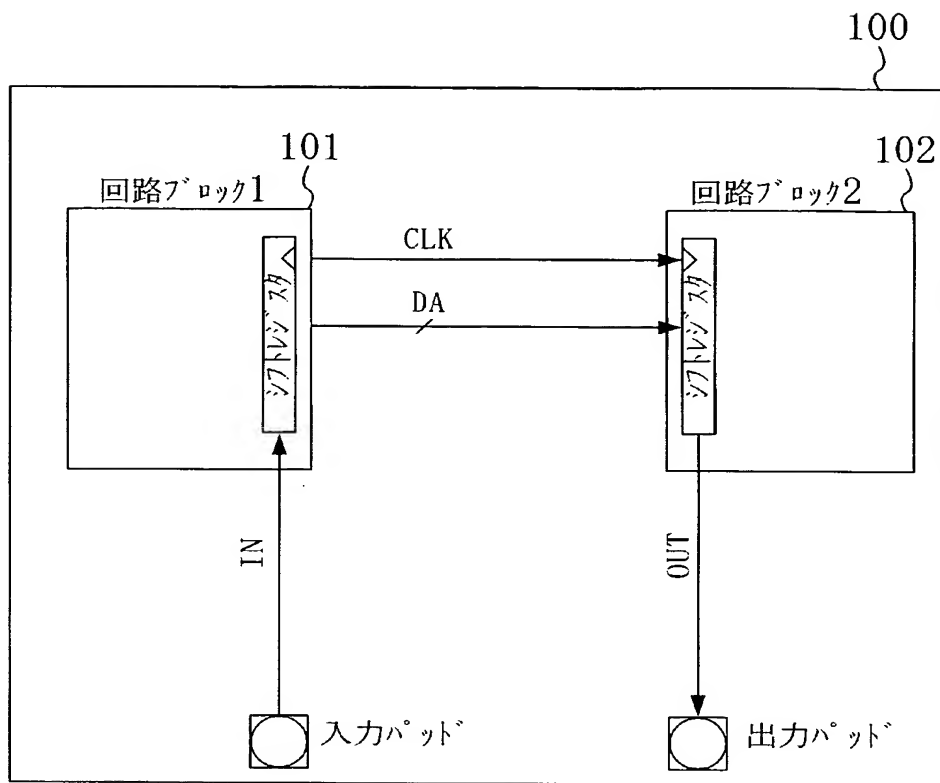


【図 15】





【図 16】



【書類名】 要約書

【要約】

【課題】 チップの検査後にマスクを変更することなく、回路ブロック間の信号配線による動作マージンの不足及び動作不良を改善できるようにする。

【解決手段】 半導体チップ 1 0 には、論理回路ブロック 1 1 とメモリ回路ブロック 1 2 とが形成され、これら回路ブロック間の配線には、信号の伝播タイミングを調整するタイミング調整回路ブロック 1 3 が設けられている。タイミング調整回路ユニット 3 0 は、ブロック間信号 D A 1 にそれぞれ異なる遅延量を付与できる複数の遅延素子 A、B、C を有する遅延素子ブロック 3 1 と、タイミング調整回路ブロック 1 3 からタイミング調整制御信号 C N T を受けるカウンタ回路ブロック 3 2 と、タイミング検査の終了後にカウンタ回路ブロック 3 2 が保持するヒューズ情報信号 F O に基づいて溶断され、カウンタ回路ブロック 3 2 と実質的に同一の機能を有するヒューズ回路ブロック 3 3 とにより構成されている。

【選択図】 図 3

特願 2 0 0 3 - 0 3 9 1 8 8

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社